

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-300720

(43)Date of publication of application : 12.12.1990

(51)Int.Cl. G02F 1/133
G02F 1/136
G09G 3/36
H04N 5/66

(21)Application number : 01-120751 (71)Applicant : CASIO COMPUT CO LTD

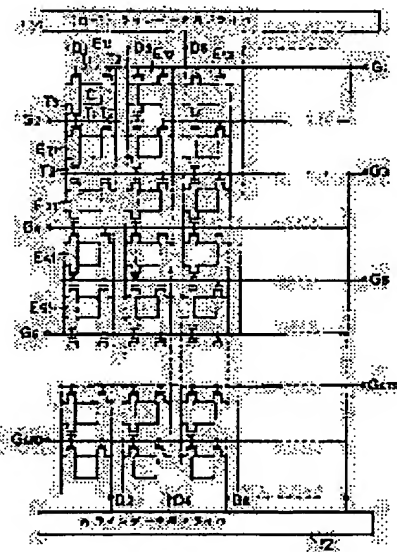
(22)Date of filing : 15.05.1989 (72)Inventor : KATO NAOKI

(54) TFT PANEL AND ITS DRIVING METHOD

(57)Abstract:

PURPOSE: To perform intra-field interpolation on a TFT panel and to obtain the high resolution by selecting one gate line, driving picture elements on and under this gate line and changing the combination of two picture elements between first and second fields.

CONSTITUTION: When one gate line G2 is selected, a pair of picture elements E11 and E21 on and under this gate line are driven for display by this selection, and one picture element E11 is driven by the signal given to an odd numbered drain line D1, and the other E21 is driven by the mean value of signals given to odd numbered and even numbered drain lines D1 and D2. Odd numbered gate lined G3,G5... and even numbered gate lines G2,G4... are alternately selected at every field to change the combination of upper and lower picture elements at every field. Thus, intra-field interpolation is performed on the TFT panel to improve the picture quality.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-300720

⑬ Int. Cl. 5

G 02 F 1/133
G 09 G 1/136
H 04 N 3/36
H 04 N 5/66

識別記号

5 5 0
5 0 0
1 0 2 B

庁内整理番号

7709-2H
9018-2H
8621-5C
7605-5C

⑭ 公開 平成2年(1990)12月12日

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 TFTパネル及びその駆動方法

⑯ 特 願 平1-120751

⑰ 出 願 平1(1989)5月15日

⑱ 発 明 者 加 藤 直 樹 東京都八王子市石川町2951番地の5 カシオ計算機株式会社
社八王子研究所内

⑲ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑳ 代 理 人 弁理士 鈴江 武彦 外3名

明 細 書

1. 発明の名称

TFTパネル及びその駆動方法

2. 特許請求の範囲

(1) マトリクス状に配列され、それぞれ第1ないし第3のスイッチング用トランジスタと画素電極からなる複数の画素と、これらの画素に対応して水平方向に配列され、奇数ラインと偶数ラインが左右端部より別個に導出される複数のゲートラインと、上記各画素列に対して2本ずつ垂直方向に配列され、奇数ラインと偶数ライン上下端部より別個に導出される複数のドレインラインと、上記各画素の第1ないし第3のスイッチング用トランジスタのゲート電極を上下のゲートラインに選択的に接続すると共に、ドレイン電極を左右のドレインラインに選択的に接続し、ソース電極を画素電極に共通接続する手段とを具備したことを特徴とするTFTパネル。

— 1 —

(2) 請求項(1)記載のTFTパネルにおいて、上記奇数のゲートラインと偶数のゲートラインをフィールド毎に交互に順次駆動するゲートライン駆動手段と、上記奇数のドレインラインと偶数のドレインラインを1水平ライン分の時間差を持たせた信号により駆動するドレインライン駆動手段とを具備したことを特徴とするTFTパネルの駆動方法。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、アクティブ・マトリクス駆動によるTFTパネル及びその駆動方法に関する。

[従来の技術]

従来、液晶テレビ等の表示装置として用いられるアクティブ・マトリクス駆動によるTFTパネルは、第4図に示すように構成されている。すなわち、ゲートラインG1, G2, ...及びドレインラインD1, D2, ...がマトリクス状に配置され、

— 2 —

各交点部分にスイッチング用の薄膜トランジスタ(TFT) T11, T12, …, T21, T22, …が設けられる。これらの薄膜トランジスタT11, T12, …, T21, T22, …は、ゲート電極が対応するゲートラインG1, G2, …に接続されると共に、ドレイン電極が対応するドレインラインD1, D2, …に接続され、更にソース電極に液晶表示素子の画素E11, E12, …, E21, E22, …が接続される。

上記のように構成されたTFTパネルは、ゲートラインG1, G2, …が240本設けられており、NTSC方式のTV信号を表示する場合、第1フィールドで全画素を表示し、第2フィールドにおいても全画素を使用して上書きしている。

【発明が解決しようとする課題】

上記のように従来のTFTパネルでは、240本のゲートラインG1, G2, …を設け、第1フィールド及び第2フィールドで同じ画素を使用して画像表示を行なっている。従って、1画面を1

- 3 -

て駆動するようにしたものである。

【作用】

上記のように構成されたTFTパネルにおいて、1本のゲートラインが選択されると、その選択ゲートラインの上下の画素が対となって表示駆動され、一方の画素は例えば奇数番目のドレインラインに与えられる信号により駆動され、他方の画素は奇数番目及び偶数番目のドレインラインに与えられる信号の平均値により駆動される。上記ゲートラインは、奇数番目のゲートラインと偶数番目のゲートラインがフィールド毎に交互に選択されるので、上記上下の画素の組み合わせがフィールド毎に変化する。このようにしてTFTパネル上でフィールド内補間が行なわれ、画像品質を向上することができる。

【実施例】

以下、図面を参照して本発明の一実施例を説明する。

- 5 -

フィールド分のデータで表示することになり、CRTを使用した場合に比較して画質が劣るという問題があった。

本発明は上記実情に鑑みて成されたもので、高い解像度が得られるTFTパネル及びその駆動方法を提供することを目的とする。

【課題を解決するための手段】

本発明は、マトリクス状に配列される画素をそれぞれ第1ないし第3のスイッチング用トランジスタ及び画素電極により構成し、各画素ラインに対応させてゲートラインを設けると共に各画素列に対してそれぞれ2本のドレインラインを設け、上記3つのスイッチング用トランジスタを上下のゲートライン及び左右のドレインラインに選択的に接続するようにしたものである。

また、本発明は、上記奇数のゲートラインと偶数のゲートラインをフィールド毎に交互に順次駆動すると共に、奇数のドレインラインと偶数のドレインラインを1水平ライン分の時間差を持たせ

- 4 -

第1図は本発明によるTFTパネルの構成図を示すもので、ゲートラインG1, G2, …及びドレインラインD1, D2, …がマトリクス状に配置され、その交点部分に画素E11, E12, …, E21, E22, …が設けられる。この場合、画素E11, E12, …, E21, E22, …は、ゲートラインG1, G2, …に対しては各ライン対応し、ドレインラインD1, D2, …に対しては1本置きに対応して設けられる。

上記ゲートラインG1, G2, …は480本設けられ、奇数番目のラインG1, G3, …G479が右側より導出され、偶数番目のラインG2, G4, …G480が左側より導出される。上記ドレインラインD1, D2, …は、奇数番目のラインD1, D3, …が上側より導出され、偶数番目のラインD2, D4, …が下側より導出される。

上記画素E11, E12, …, E21, E22, …は、それぞれ第1～第3の薄膜トランジスタ(TFT) T1, T2, T3及び画素電極Cにより構成される。第1の薄膜トランジスタT1は、対応する上

- 6 -

側のゲートライン G_1, G_2, \dots と対応する奇数番目のドレインライン D_1, D_3, \dots にゲート電極、ドレイン電極がそれぞれ接続され、ソース電極が画素電極 C に接続される。第2の薄膜トランジスタ T_2 は、対応する上側のゲートライン G_1, G_2, \dots と対応する偶数番目のドレインライン D_2, D_4, \dots にゲート電極、ドレイン電極がそれぞれ接続され、ソース電極が画素電極 C に接続される。第3の薄膜トランジスタ T_3 は、対応する下側のゲートライン G_2, G_3, \dots と対応する奇数番目のドレインライン D_1, D_3, \dots にゲート電極、ドレイン電極がそれぞれ接続され、ソース電極が画素電極 C に接続される。

しかして、奇数番目のドレインライン D_1, D_3, \dots は、 $(n-1)$ ラインデータ用ドライバ11により駆動され、偶数番目のドレインライン D_2, D_4, \dots は、 n ラインデータ用ドライバ12により駆動される。また、ゲートラインは、ゲートドライバ（図示せず）により、第1フィールドでは偶数番目のゲートライン G_2, G_4, \dots

- 7 -

る輝度信号 Y とクロマ信号 C とをそれぞれアナログ信号に変換し、クロマ信号 C をクロマ復調回路 25a, 25b に出力すると共に、輝度信号 Y をマトリクス回路 26a, 26b に出力する。クロマ復調回路 25a, 25b は、 D/A コンバータ 24a, 24b から送られてくるクロマ信号より色差信号 $R-Y, B-Y$ を復調し、マトリクス回路 26a, 26b に出力する。

このマトリクス回路 26a, 26b は、上記 D/A コンバータ 24a, 24b からの輝度信号 Y 及びクロマ復調回路 25a, 25b からの色差信号 $R-Y, B-Y$ によりカラー信号 R, G, B を再生し、交流駆動反転・増幅回路 27a, 27b に入力する。この交流駆動反転・増幅回路 27a, 27b は、マトリクス回路 26a, 26b から入力されるカラー信号 R, G, B のレベルを1フィールド毎に反転及び増幅して上記第1図における $(n-1)$ ラインデータ用ドライバ11, n ラインデータ用ドライバ12へ出力する。

次に上記実施例の動作を説明する。第1図に示

- 9 -

G_{480} が順次駆動され、第2フィールドでは最初のゲートライン G_1 を除く奇数番目のゲートライン $G_3, G_5, \dots G_{479}$ が順次駆動される。

次に上記 $(n-1)$ ラインデータ用ドライバ11及び n ラインデータ用ドライバ12を含むデータ信号処理部の詳細について第2図により説明する。

第2図において21は A/D コンバータで、この A/D コンバータ21には、 $NTSC$ 方式によるコンポジット信号が端子20より入力される。上記 A/D コンバータ21は、コンポジット信号を複数ビットのデジタルデータに変換する。この A/D コンバータ21により変換されたデジタルデータは、1水平ラインのデータを記憶する1Hラインメモリ22を介して Y/C 分離回路23aに入力されると共に、 Y/C 分離回路23bに直接入力される。この Y/C 分離回路23a, 23bは、入力されるコンポジット信号から輝度信号 Y とクロマ信号 C とを分離し、それぞれ D/A コンバータ24a, 24bに入力する。

この D/A コンバータ24a, 24bは、入力され

- 8 -

すように構成されたTFTパネルにおいて、偶数番目のゲートライン G_2, G_4, \dots と奇数番目の偶数番目のゲートライン G_3, G_5, \dots は、各フィールド毎に交互に駆動される。すなわち、第1フィールドでは偶数番目のゲートライン $G_2, G_4, \dots G_{480}$ が順次駆動され、第2フィールドでは奇数番目のゲートライン $G_3, G_5, \dots G_{479}$ が順次駆動される。この場合、最初のゲートライン G_1 は、何れのフィールドにおいても駆動されない。

一方、ドレインライン D_1, D_2, \dots は、奇数番目のドレインライン D_1, D_3, \dots が $(n-1)$ ラインデータ用ドライバ11により駆動され、偶数番目のドレインライン D_2, D_4, \dots が n ラインデータ用ドライバ12により駆動される。上記ドライバ11, 12は、第2図に示すデータ信号処理部により処理されたカラー信号 R, G, B に基づいて奇数ドレインライン D_1, D_3, \dots 、偶数ドレインライン D_2, D_4, \dots を駆動する。この場合、データ信号処理部は、 A/D コンバータ21により

- 10 -

変換されたデータを直接 Y/C 分離回路 23b に入力すると共に、1 H ラインメモリ 22 により 1 ライン (1 H) 分遅延して Y/C 分離回路 23a に入力する。従って、(n-1) ラインデータ用ドライバ 11 に入力されるカラー信号 R、G、B は、n ラインデータ用ドライバ 12 に入力されるカラー信号 R、G、B より 1 ライン分遅延したものとなる。

しかして、今、第 1 フィールドにおいて、ゲートライン G2 にゲートパルスが印加され、ドレインライン D1、D2、…に駆動信号 V D1、V D2、…が印加されたとすると、第 1 画素ラインの各画素 E 11、E 12、…においては、薄膜トランジスタ T3 がオンし、奇数ドレインライン D1、D3、…に印加されている駆動電圧 V D1、V D3、…が与えられる。例えば画素 E 11 では、薄膜トランジスタ T3 がオンすることにより、ドレインライン D1 に印加されている駆動電圧 V D1 が画素電極 C に与えられる。

このとき第 2 画素ラインの各画素 E 21、E 22、…においては、薄膜トランジスタ T1、T2 がオ

— 1 1 —

ン D1 と偶数ドレインライン D2 に印加されている駆動電圧 V D1、V D2 が合成され、その合成値 $(V D1 + V D2) / 2$ が画素電極 C に供給される。

第 3 図は、上記したドレインライン D1、D2 にかかる駆動電圧と、1 列目の画素 E 11、E 21、E 31、E 41、E 51 の画素電極 C にかかる電圧との関係を示したものである。

上記のように 1 本のゲートライン G が選択されると、その上下の画素が表示駆動され、第 1 フィールドと第 2 フィールドでは、その 2 つの画素の組み合わせが変わるようになっている。これによりフィールド内補間が TFT パネル上で行なわれ、高い解像度を得ることができる。

【発明の効果】

以上詳記したように本発明によれば、マトリクス状に配列される画素をそれぞれ第 1 ないし第 3 のスイッチング用トランジスタ及び画素電極により構成し、各画素ラインに対応させてゲートラインを設けると共に各画素列に対してそれぞれ 2

— 1 3 —

ンし、奇数ドレインライン D1、D3、…と偶数ドレインライン D2、D4、…に印加されている駆動電圧が合成されて画素電極 C に供給される。例えば画素 E 21 においては、薄膜トランジスタ T1、T2 がオンすることにより、ドレインライン D1 に印加されている駆動電圧 V D1 及びドレインライン D2 に印加されている駆動電圧 V D2 が合成されて画素電極 C に供給される。この画素電極 C に与えられる電圧 V s は、 $V D1 > V D2$ とすると、

$$V s = V D1 - (V D1 - V D2) / 2$$

$$= (V D1 + V D2) / 2$$

となる。この結果、画素 E 21 の画素電極 C は、V D1 と V D2 の中間の電圧により表示駆動される。

また、第 2 フィールドにおいて、ゲートライン D3 が選択された場合は、上記画素 E 21 では、薄膜トランジスタ T3 がオンし、その時ドレインライン D1 に印加されている駆動電圧 V D1 が画素電極 C に与えられる。このとき第 3 画素ラインの画素 E 31 では、薄膜トランジスタ T1、T2 がオンし、上記したように奇数ドレインライ

— 1 2 —

本のドレインラインを設け、上記 3 つのスイッチング用トランジスタを上下のゲートライン及び左右のドレインラインに選択的に接続して各画素電極を駆動するようにしたので、上記各画素列に 2 本づつ設けられたドレインラインに 1 H 分の時間差を持たせた駆動信号を印加することにより、フィールド内補間を TFT パネル上で行なうことができる。更に、奇数ゲートラインと偶数ゲートラインとを各フィールド毎に交互に駆動することにより、各フィールド毎の画素の組み合わせを変えることができ、IDTV と同等の高い画質が得られる。このためポケット液晶 TV 等において大きな効果を発揮することができる。

4. 図面の簡単な説明

第 1 図ないし第 3 図はは本発明の一実施例を示すもので、第 1 図は TFT パネルの構成図、第 2 図はデータ処理部の構成を示すブロック図、第 3 図はドレインラインにかかる駆動電圧と、対応する画素内の画素電極にかかる電圧との関係を示す

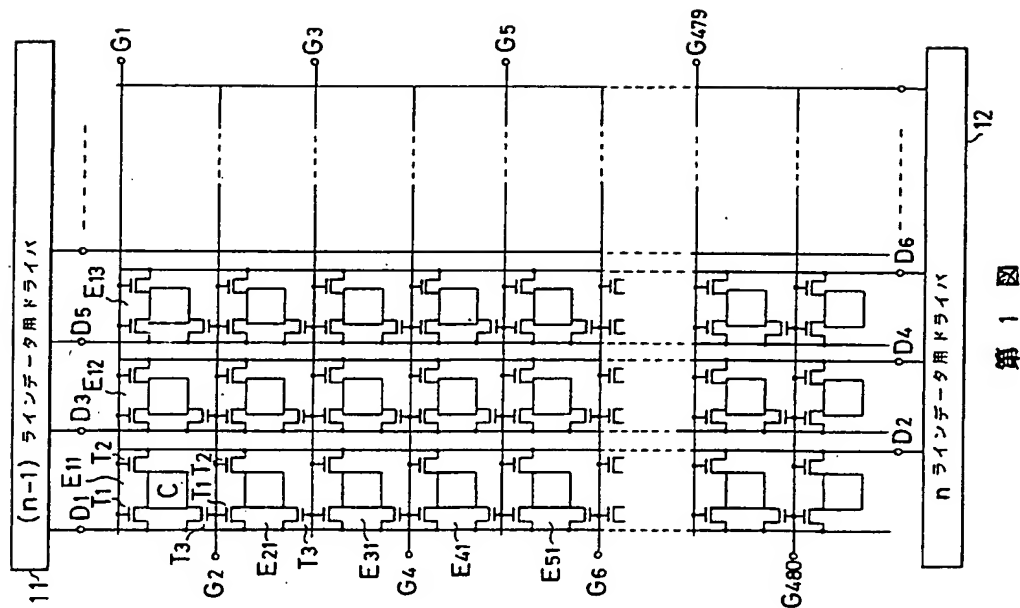
— 1 4 —

図、第4図は従来のTFTパネルの構成図である。

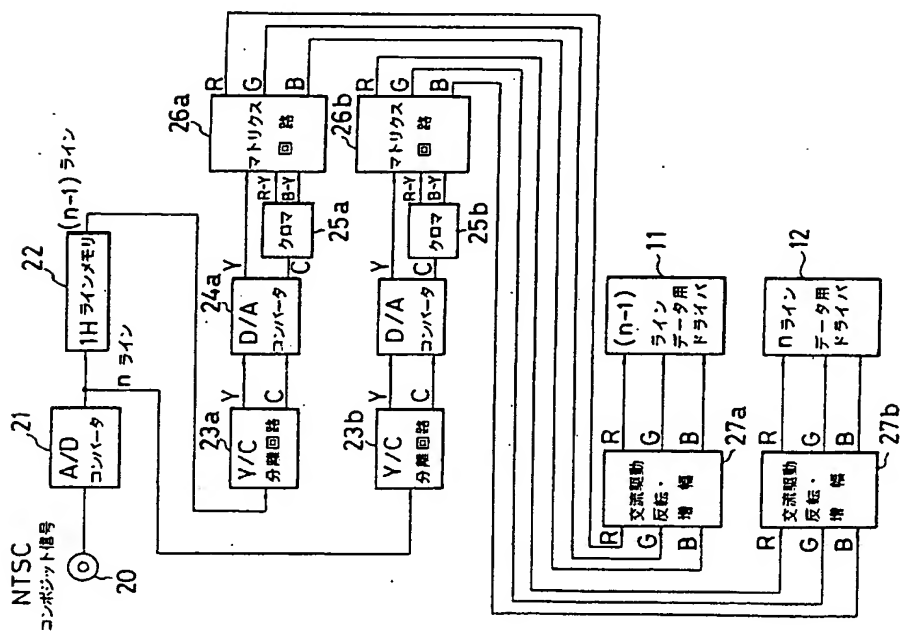
G1, G2, ..., ゲートライン、D1, D2, ..., ドレインライン、T11, T12, ..., T21, T22, ..., 薄膜トランジスタ、E11, E12, ..., E21, E22, ..., 画素、11... (n-1) ラインデータ用ドライバ、12... n ラインデータ用ドライバ、21... A/Dコンバータ、22... 1Hラインメモリ、23a, 23b... Y/C分離回路、24a, 24b... D/Aコンバータ、25a, 25b... クロマ復興回路、26a, 26b... マトリクス回路、27a, 27b... 交流駆動反転・増幅回路。

出願人代理人 弁理士 鈴江武彦

- 15 -



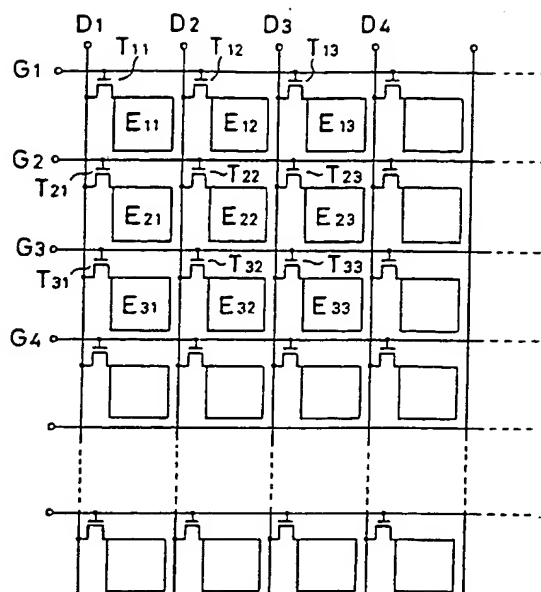
第 1 図



第 2 図

データ ライン	ドレイ ンラインD1	ドレイ ンラインD2	画素	第1フィールド	第2フィールド
1 H					
2 H	V1H	V2H	E11 E21	$\frac{V1H + V2H}{2}$ V2H	$\frac{V1H + V2H}{2}$ V2H
3 H	V2H	V3H	E31 E41	$\frac{V2H + V3H}{2}$ V3H	$\frac{V2H + V3H}{2}$ V3H
4 H	V3H	V4H	E51	V3H	$\frac{V3H + V4H}{2}$
...

第 3 図



第 4 図